

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-086787

(43)Date of publication of application : 19.03.1992

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/1345  
G09F 9/30

(21)Application number : 02-201097

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.07.1990

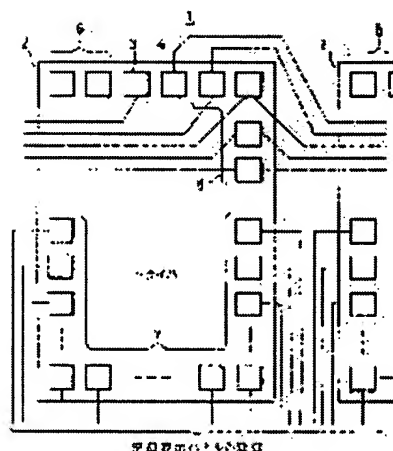
(72)Inventor : KANEKO YOSHIYA  
MORITA KEIZO

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PURPOSE:** To enable the connection between integrated circuit drivers without crossing wirings by connecting the terminals from which chip enable signals are outputted and the input terminals of the chip enable signals of the circuit integrating drivers of a rear stage by the wirings on a glass substrate.

**CONSTITUTION:** The circuit integrating driver 2 is connected to the input and output terminals 3, 4 of the chip enable signals in parallel with the other circuit integrating driver by the wirings on the glass substrate of a liquid crystal panel 1. If the terminal 3 is used as the input terminal of the chip enable signal, this terminal is connected to the output terminal of the chip enable signal of the circuit integrating driver on the left side and the terminal 4 is connected to the input terminal of the chip enable signal of the circuit integrating driver on the right side. Then, the circuit integrating drivers are eventually connected in series and the chip enable signals are successively transferred from the left side to the right side. The liquid crystal panel is formed in this way without intersecting the wirings on the glass substrate between the circuit integrating drivers.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平4-86787

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月19日

G 09 G 3/36  
G 02 F 1/133  
1/1345  
G 09 F 9/30

5 0 5  
3 4 6

8621-5G  
7634-2K  
9018-2K  
8621-5G

審査請求 未請求 請求項の数 2 (全6頁)

⑮ 発明の名称 液晶表示装置

⑯ 特 願 平2-201097

⑰ 出 願 平2(1990)7月31日

⑱ 発 明 者 金 子 淑 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 森 田 敬 三 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 柏谷 昭司 外1名

## 明 細 書

## 1 発明の名称

液晶表示装置

## 2 特許請求の範囲

(1)、電極を形成したガラス基板間に液晶を封入した液晶表示パネル(1)と、前記ガラス基板上に搭載して前記電極と接続すると共に、前記ガラス基板上の配線により相互に接続する複数の集積回路化ドライバ(2)とを含む液晶表示装置に於いて、

前記集積回路化ドライバ(2)は、チップイネーブル信号の入出力端子(3、4)と、前記ガラス基板上の配線により他の集積回路化ドライバと並列的に接続されて、制御信号及びデータが入力される入力端子群(5)と、電源が供給される電源端子群(6)と、前記電極に接続される出力端子群(7)とを含み、

前記チップイネーブル信号の入出力端子(3、4)を隣接配置し、前記チップイネーブル信号が入力される端子(3)と前段の集積回路化ドライ

バのチップイネーブル信号の出力端子と前記ガラス基板上の配線により接続し、且つ前記チップイネーブル信号が出力される端子(4)と後段の集積回路化ドライバのチップイネーブル信号の入力端子と前記ガラス基板上の配線により接続したことを特徴とする液晶表示装置。

(2)、前記電源端子群(6)を前記集積回路化ドライバ(2)の端部にまとめて配置し、該電源端子群(6)と外部電源との間をフレキシブルケーブル又は前記ガラス基板上の配線を介して接続したことを特徴とする請求項1記載の液晶表示装置。

## 3 発明の詳細な説明

## 〔概要〕

ドライバをガラス基板に搭載した液晶表示装置に関し、

ガラス基板上の配線を交差させることなく、集積回路化ドライバ間を接続することを目的とし、

電極を形成したガラス基板間に液晶を封入した液晶表示パネルと、前記ガラス基板上に搭載して前記電極と接続すると共に、前記ガラス基板上の

配線により相互に接続する複数の集積回路化ドライバとを含む液晶表示装置に於いて、前記集積回路化ドライバは、チップイネーブル信号の入出力端子と、前記ガラス基板上の配線により他の集積回路化ドライバと並列的に接続されて、制御信号及びデータが入力される入力端子群と、電源が供給される電源端子群と、前記電極に接続される出力端子群とを含み、前記チップイネーブル信号の入出力端子を隣接配置し、前記チップイネーブル信号が入力される端子と前段の集積回路化ドライバのチップイネーブル信号の出力端子と前記ガラス基板上の配線により接続し、且つ前記チップイネーブル信号が出力される端子と後段の集積回路化ドライバのチップイネーブル信号の入力端子と前記ガラス基板上の配線により接続して構成した。

〔産業上の利用分野〕

本発明は、ドライバをガラス基板上に搭載した液晶表示装置に関するものである。

STN液晶等を用いた液晶表示装置は、低消費電力であると共に薄型であるから、ラップトップ

型やパーソナル型等のコンピュータやワードプロセッサ等の表示装置として広く採用されている。このような液晶表示装置に於いて、半導体集積回路化したドライバと液晶表示パネルとを、異方性導電ゴムやヒートシール等により接続していたが、表示容量の増大等に対応する為に、異方性導電膜を用いて接続するようになり、更に近年に於いては、高解像度の液晶表示パネルの開発に伴ってドライバの必要数も多くなり、液晶表示パネルのガラス基板上の電極に、樹脂を用いて熱圧着でドライバチップを接続するCOG（チップ・オン・ガラス）技術が注目を集めている。

〔従来の技術〕

従来例の液晶表示装置は、ドライバを半導体集積回路化してプリント基板上に搭載し、このプリント基板と液晶表示パネルの電極との間をフレキシブルケーブルにより接続し、ドライバから電極に表示電圧を印加する構成が一般的であった。しかし、液晶表示パネルの電極数が多くなるに伴って、液晶表示パネルのガラス基板上にドライバを搭載

して、液晶表示パネルの電極とドライバとを直接的に接続する構成が提案されている。例えば、第4図に示すように、電極43、44を形成したガラス基板41-1、41-2間に液晶を封入して、単純マトリクス型或いは電極43、44間に薄膜トランジスタ（TFT）等を形成したアクティブマトリクス型等の液晶表示パネルを構成し、ガラス基板41-1上に集積回路化ドライバ42-1～42-8を搭載し、液晶表示パネルの電極43と接続するものである。

第5図は前述の集積回路化ドライバ42-1～42-8の端子配列説明図であり、この集積回路化ドライバ42の端子番号1～nの中、端子番号22～nは液晶表示パネルの電極43に接続する出力端子群45である。又端子番号1、21がチップイネーブル信号の入出力端子、端子番号2～6、18がドライバを構成するトランジスタの動作電圧や液晶表示パネルの電極に印加する為の表示電圧等を加える電源端子群、端子番号7が転送方向制御信号入力端子、端子番号10～17がデ

ータ入力端子、端子番号19がクロック信号入力端子、端子番号8、9、20は他の制御信号の入力端子である。

出力端子群45は、通常は80～160個形成されている。即ち、1個の集積回路化ドライバにより80～160本の電極に表示電圧を印加できるように構成されている。又表示データは複数ビット並列に取込まれるもので、第5図に於いては8ビット並列に取込む場合を示す。例えば、出力端子群45の端子数が80個で白黒表示を行う場合に、端子番号1にチップイネーブル信号が入力され、端子番号10～17に8ビット並列（8本の電極対応）の表示データが入力されると、端子番号19の端子に入力されるクロック信号に同期して8ビット並列の表示データを取込み、10個のクロック信号により80本の電極対応の表示データをバッファメモリ（図示せず）に取込むことができる。そして、次のクロック信号のタイミングに於いて端子番号21の端子から次段の集積回路化ドライバのチップイネーブル信号の入力端子

(端子番号1)にチップイネーブル信号を送出する。それによって、次段の築積回路化ドライバに於いても、前述と同様にして80本の電極対応の表示データを取込み、チップイネーブル信号を次段の築積回路化ドライバに転送する。

液晶表示パネルの全電極対応の表示データが取込まれると、各築積回路化ドライバから表示データに従った表示電圧が電極に印加される。

〔発明が解決しようとする課題〕

表示データを取込む為のチップイネーブル信号は、電極対応の表示データを取込んだ後に、次段へ転送する必要がある、その為に、端子番号1と前段の築積回路化ドライバの端子番号21と接続し、端子番号21と後段の築積回路化ドライバの端子番号1と接続するものであり、このチップイネーブル信号の入出力端子と、出力端子群45とを除く他の端子は、他の築積回路化ドライバの対応する端子と並列に接続するものである。従って、チップイネーブル信号を転送する配線が、他の並列接続の為の配線と交差することとなる。

バ2とを有する液晶表示装置に於いて、築積回路化ドライバ2は、チップイネーブル信号の入出力端子3、4と、液晶表示パネル1のガラス基板上の配線により他の築積回路化ドライバと並列的に接続されて、制御信号及びデータが入力される入力端子群5と、電源が供給される電源端子群6と、液晶表示パネル1の電極に接続される出力端子群7とを含み、チップイネーブル信号の入出力端子3、4を隣接配置し、チップイネーブル信号が入力される端子3と前段の築積回路化ドライバのチップイネーブル信号の出力端子とをガラス基板上の配線により接続し、且つチップイネーブル信号が出力される端子4と後段の築積回路化ドライバのチップイネーブル信号の入力端子とをガラス基板上の配線により接続したものである。

又電源端子群6を築積回路化ドライバ2の端部にまとめて配置し、その電源端子群6と外部電源との間をフレキシブルケーブル又はガラス基板上の配線を介して接続したものである。

一般に、ガラス基板上に単層配線を施すことは容易であるが、信頼性の高い多層配線を施すことは容易でないものである。従って、築積回路化ドライバを液晶表示パネルのガラス基板41-1上の配線により相互接続する場合に、多層構成となる交差部分が生じることは、信頼性の点で問題があった。又ガラス基板41-1上の配線の抵抗を無視できない場合があり、金(Au)メッキを施しても十分な低抵抗値を得ることが容易ではなく、電源端子群への電流も比較的大きいものであるから、配線抵抗による電圧降下の問題があった。

本発明は、ガラス基板上の配線を交差させることなく、築積回路化ドライバ間を接続することを目的とするものである。

〔課題を解決するための手段〕

本発明の液晶表示装置は、液晶表示パネルのガラス基板上に搭載した築積回路化ドライバの相互間を、ガラス基板上の配線により接続したものであり、第1図を参照して説明する。

液晶表示パネル1と、複数の築積回路化ドライ

〔作用〕

築積回路化ドライバ2の出力端子群7は、液晶表示パネル1の電極に接続し、他の端子群は他の築積回路化ドライバとガラス基板上の配線により接続するものであり、その場合に、端子3をチップイネーブル信号の入力端子とすると、左側の築積回路化ドライバのチップイネーブル信号の出力端子と接続し、端子4と右側の築積回路化ドライバのチップイネーブル信号の入力端子と接続することにより、各築積回路化ドライバを直列的に接続されることになり、チップイネーブル信号は左側から右側に順次転送される。このような直列接続配線と、他の築積回路化ドライバの入力端子群5を並列接続する配線とが交差しないことになり、従って、ガラス基板上の配線によって築積回路化ドライバ相互間を接続することができる。

又電源端子群6を築積回路化ドライバの端部にまとめて配置したことにより、ガラス基板上の配線によって相互に並列的に接続することが容易となり、又フレキシブルケーブルによる外部配線で

接続することも容易となる。

(実施例)

以下図面を参照して本発明の実施例について詳細に説明する。

第2図は本発明の実施例の説明図であり、11-1、11-2は液晶表示パネルのガラス基板、12<sub>i</sub>、12<sub>i+1</sub>は乗積回路化ドライバ、13、14はチップイネーブル信号の入出力端子、15は制御信号や表示データの入力端子群、16は電源端子群、17は出力端子群、18は制御信号用配線、19は電源用配線、20は液晶表示パネルの電極、21は電源用端子である。

液晶表示パネルの電極20と、制御信号用配線18と、電源用配線19とは、液晶表示パネルのガラス基板11-1上に形成されている。又乗積回路化ドライバ12<sub>i</sub>、12<sub>i+1</sub>は、チップイネーブル信号の入出力端子13、14が隣接して配置され、電源端子群16は端部にまとめて配置され、ガラス基板11-1上の配線18、19と電極20の端部とに、COG技術等により接続され

る。この場合に、入出力端子13、14は、チップイネーブル信号を順次伝送できるように直列的に接続され、入力端子群15は並列的に接続されるものであり、入出力端子13、14を隣接配置したことにより、配線18、19を交差させることなくガラス基板11-1上に形成することができる。

又電源用配線19の抵抗値が無視できない場合は、電源端子群16が端部にまとめて配置されていることにより、点線で示すように電源用端子21をガラス基板11-1上に形成し、外部電源とは、それぞれフレキシブルケーブルにより乗積回路化ドライバ対応に接続することができる。

又第5図に示す端子配列に於いて、端子番号1~6を電源端子群16、端子番号7、8をチップイネーブル信号の入出力端子13、14、端子番号9を伝送方向制御信号入力端子、端子番号10、11、20を他の制御信号の入力端子、端子番号12~19を表示データ入力端子、端子番号21をクロック信号の入力端子、端子番号22~nを

出力端子群17とすることができる。

第3図は伝送方向制御の説明図であり、チップイネーブル信号の入出力端子13、14と伝送方向制御信号の入力端子15-1とに接続された要部を示し、31~34はゲート回路、35は出力制御部であり、液晶表示パネルの電極対応の出力端子Y<sub>1</sub>~Y<sub>j</sub>を備えている。

入力端子15-1に加えられる伝送方向制御信号が“0”の時、ゲート回路31、34が開き、ゲート回路32、33が閉じるので、端子13はチップイネーブル信号CEの出力端子、端子14はチップイネーブル信号CEの入力端子となる。又出力制御部35は入力された表示データに従って出力端子Y<sub>1</sub>~Y<sub>j</sub>の順序で表示電圧を出力する。

このような状態の制御を、第2図の左側の乗積回路化ドライバとすると、チップイネーブル信号CEは上側から下側に向かって順次伝送されることになり、又出力制御部35の出力端子Y<sub>1</sub>は上方の電極20に接続され、出力端子Y<sub>j</sub>は下方の

電極20に接続されることになる。これに対して、右側の乗積回路化ドライバに於いては、左側の乗積回路化ドライバを180°回転させた状態となるから、左側の乗積回路化ドライバと反対の制御構成とする必要がある。

そこで、伝送方向制御信号を“1”とするものであり、ゲート回路32、33が開き、ゲート回路31、34が閉じるから、端子14はチップイネーブル信号CEの入力端子、端子13はチップイネーブル信号CEの出力端子となる。又出力制御部35は入力された表示データに従った表示電圧を、出力端子Y<sub>j</sub>~Y<sub>1</sub>の順序で出力する。即ち、第2図の上方の電極20に出力端子Y<sub>j</sub>が接続され、下方の電極20に出力端子Y<sub>1</sub>が接続されるから、左側の乗積回路化ドライバの場合と反対の順序で表示電圧を出力するように切替えるものである。

以上の説明では、データ側ドライバについて説明したが、走査側ドライバに対しては、データドライバに於けるチップイネーブル端子を、選択走

在ラインデータ伝送入出力端子とすれば、同様にCOG実装が可能となる。

#### (発明の効果)

以上説明したように、本発明は、チップイネーブル信号の入出力端子3、4を隣接配置し、チップイネーブル信号が入力される端子3と前段の集積回路化ドライバのチップイネーブル信号出力端子とを接続し、チップイネーブル信号が出力される端子4と後段の集積回路化ドライバのチップイネーブル信号入力端子とを接続することにより、チップイネーブル信号が順次伝送されるように構成し、表示データや他の制御信号については、各集積回路化ドライバは並列的に接続されるもので、液晶表示パネルのガラス基板上の配線を交差させることなく形成することができる。従って、COG技術を適用して集積回路化ドライバをガラス基板上に搭載することができる。

又電源端子群6を集積回路化ドライバ2の端部にまとめて配置したことにより、各集積回路化ドライバの電源端子群6をガラス基板上の配線によ

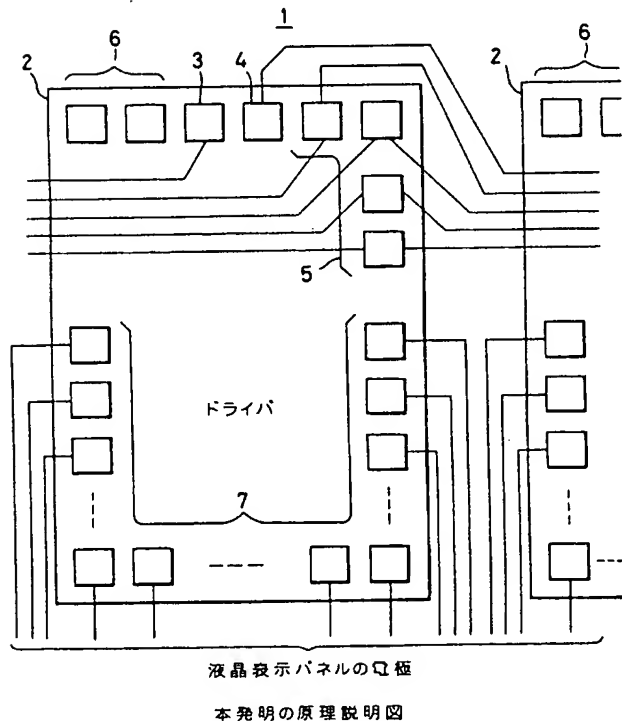
り接続する場合に、その配線に交差部分が生じないようにすることができる。又ガラス基板上の配線抵抗が無視できない場合には、集積回路化ドライバ2対応に電源端子群6と外部電源とをフレキシブルケーブルにより接続する構成を容易に実現できる利点がある。

#### 4 図面の簡単な説明

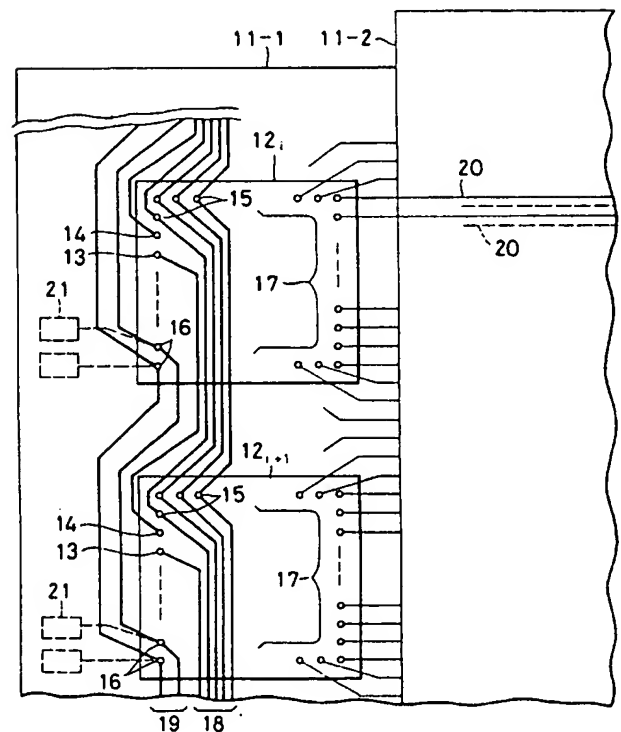
第1図は本発明の原理説明図、第2図は本発明の実施例の説明図、第3図は伝送方向制御の説明図、第4図は液晶表示装置の説明図、第5図は端子配列の説明図である。

1は液晶表示パネル、2は集積回路化ドライバ、3、4はチップイネーブル信号の入出力端子、5は入力端子群、6は電源端子群、7は出力端子群である。

特許出願人 富士通株式会社  
代理人弁理士 柏谷昭司  
代理人弁理士 渡邊弘一

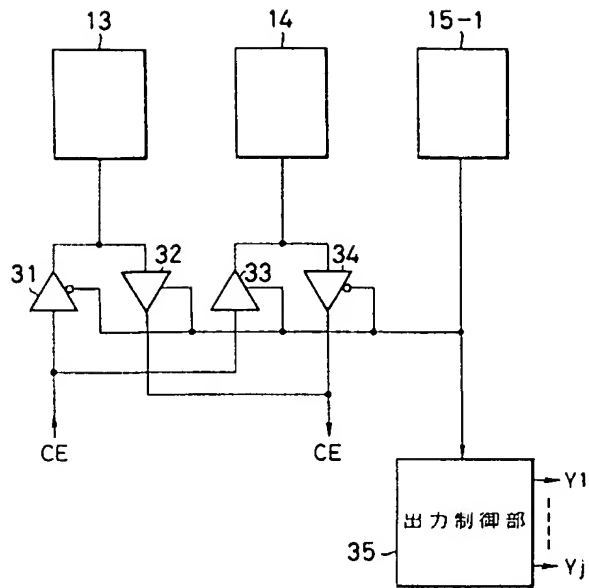


第1図



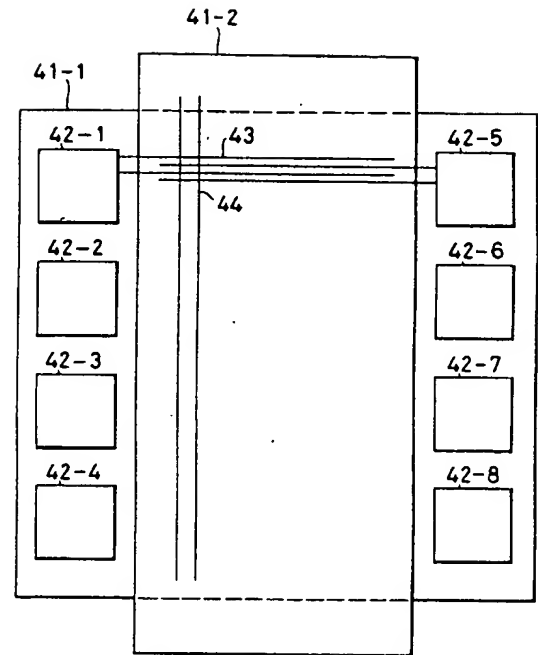
本発明の実施例の説明図

第2図



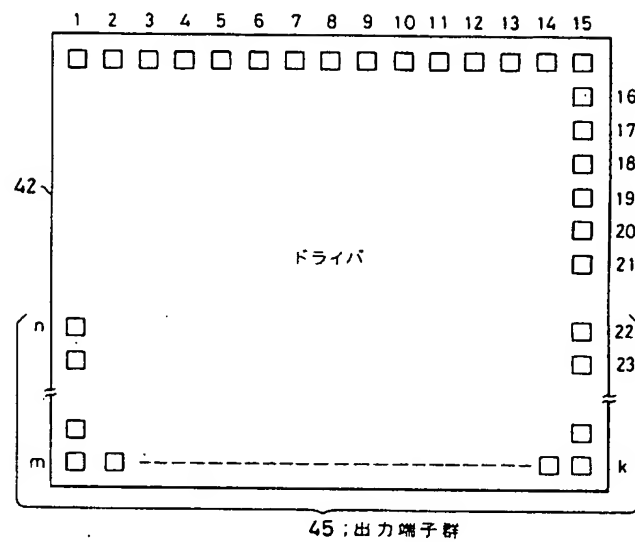
転送方向制御の説明図

第3図



液晶表示装置の説明図

第4図



端子配列説明図

第5図